

*Nazwa przedmiotu* **Procesory i peryferia konfigurowalne**

*Nazwa w języku angielskim* **Soft Processors and Configurable Peripherals**

*Język prowadzenia zajęć* polski

*Kierunek studiów* Elektronika i telekomunikacja

*Poziom studiów* studia II stopnia magisterskie

*Jednostka prowadząca* Katedra Mikroelektroniki i Technik Informatycznych, K-25

*Kierownik i realizatorzy*

<b>dr inż. Kamil Grabowski</b>	kgrabowski@dmcs.pl
dr inż. Kamil Grabowski	kgrabowski@dmcs.pl

*Formy zajęć i liczba godzin w semestrze*

Wyk.	Ćw.	Lab.	Proj.	Sem.	Inne	Suma godzin w semestrze
15	0	30	0	0	0	<b>45</b>

*Efekty kształcenia*

Student posiada wiedzę z zakresu:  
- architektur systemów mikroprocesorowych konfigurowalnych realizowanych w układach FPGA;

Student posiada umiejętność:

- implementacji, uruchomienia i testowania systemu mikroprocesorowego w układzie FPGA;
- integracji własnego bloku funkcjonalnego (IP) opisanego w języku opisu sprzętu z systemami opartymi o magistrale PLB oraz AXI;
- przygotowania bloku IP z bezpośrednim dostępem do pamięci systemowej (DMA);
- wykorzystania pamięci podręcznej w systemach konfigurowalnych.

*Wymagania wstępne*

Języki Opisu Sprzętu; Systemy Rekonfigurowalne; Podstawy programowania;

*Organizacja przedmiotu i treści kształcenia*

WYKŁAD

Sposoby realizacji systemów mikroprocesorowych konfigurowalnych;  
Architektura procesora konfigurowalnego Microblaze;  
Magistrale systemowe PLB i AXI;  
Integracja bloków funkcjonalnych z magistralami systemowymi;  
Bezpośredni dostęp do pamięci systemowej;  
Zagadnienia pamięci podręcznej w systemach konfigurowalnych;  
Przygotowanie, uruchamianie i testowanie oprogramowania na procesorach konfigurowalnych.

LABORATORIUM

Zapoznanie ze środowiskiem programistycznym dla procesorów konfigurowalnych, przygotowanie, debugowanie i testowanie programów;  
Przygotowanie systemu mikroprocesorowego w oparciu o magistrale AXI/PLB i mikroprocesora Microblaze;  
Integracja bloku funkcjonalnego z magistralą AXI;  
Implementacja bezpośredniego dostępu do pamięci z przygotowanego bloku funkcjonalnego;

*Forma zaliczenia - sprawdzenia osiągnięcia efektów*

Ocena końcowa wyznaczona jest przez ocenę egzaminu zaliczającego wykład (50%) oraz pracy na laboratorium (50%)

*kształcenia*

*Literatura  
podstawowa*

Łuba T., Jasiński K., Zbierzchowski B.: Specjalizowane układy cyfrowe w strukturach PLD i FPGA, WKŁ 1997.

*Literatura  
uzupełniająca*

Zbysiński P., Pasierbiński J.: Układy programowalne, pierwsze kroki, BTC 2004  
Skahill. K.: Język VHDL. Projektowanie programowalnych układów logicznych, WNT 2001.  
Kalisz J.: Podstawy elektroniki cyfrowej, WKŁ 1998.

*Przeciętne  
obciążenie studenta  
pracą własną*

30

*Całkowite obciążenie  
studenta pracą*

**75**

*Uwagi*

*Aktualizacja*

2012-05-04