

<i>Nazwa przedmiotu</i>	Analiza i synteza układów cyfrowych
<i>Nazwa w języku angielskim</i>	Analysis and Synthesis of Digital Circuits
<i>Język prowadzenia zajęć</i>	polski
<i>Kierunek studiów</i>	Nazwa kierunku studiów
<i>Poziom studiów</i>	studia I stopnia licencjackie
<i>Jednostka prowadząca</i>	Nazwa Jednostki Prowadzącej Zajęcia Katedra Mikroelektroniki i Technik Informatycznych, K-25

<i>Kierownik i realizatorzy</i>	tytuł Imię i Nazwisko	adres e-mail
	dr inż. Adrian Romiński	rominski@dmcs.p.lodz.pl

<i>Formy zajęć i liczba godzin w semestrze</i>	Wyk.	Ćw.	Lab.	Proj.	Sem.	Inne	Suma godzin w semestrze
	30	0	15	15	0	0	60

Efekty kształcenia Umiejętność projektowania i implementacji układów cyfrowych w oparciu o język HDL średnio złożonych bloków, w technologii CMOS i FPGA zgodnych ze standardami przemysłowymi.
Znajomość popularnych środowisk wspomagających projektowanie mikroelektroniczne i elektroniczne.

Wymagania wstępne Układy elektroniczne
Podstawy mikroelektroniki
Teoria układów logicznych

Organizacja przedmiotu i treści kształcenia

- I. Wstęp projektowania systemów cyfrowych System-on-Chip
 1. Projektowanie na poziomie systemu
 2. Bloki Intellectual Property (IP) i ich wykorzystanie
- II. Mikroprocesor AVR podstawy budowy rdzenia RISC
 1. Bloki składowe – pamięć, rejestry, ALU oraz sterowanie
 2. Realizacja w języku VHDL zorientowana na syntezę
 3. Symulacja funkcjonalna i testbenche
- III. Analizy statyczne i formalne układu cyfrowego
 1. Statyczna analiza czasowa (STA) układu cyfrowego
 2. Analiza formalna i równoważność opisów
 3. Analiza układów syntezywalnych i behawioralnych
- IV. Layout cyfrowych układów scalonych
 1. Reguły projektowe (DRC) dla układów z celem standardowych
 2. Prowadzenie linii zasilania analiza poboru mocy
 3. Elektromigracja w rozległych układach cyfrowych
 4. Ekstrakcja parametrów pasożytniczych
 5. Symulacja post-layout układu cyfrowego
- V. Synteza układów cyfrowych
 1. Syntezywalny podzbiór języka HDL
 2. Układy RTL (Register Transfer Logic)
 3. Formułowanie założeń czasowych (constraints) układu
 4. Podstawy języka skryptowego TCL
 5. Dane wejściowe dla procesu syntezy
 6. Synteza układów ASIC i FPGA
 7. Analiza wyników syntezy
- VI. Projektowanie zorientowane na testowanie
 1. Modele błędów
 2. Dobór wektorów testowych zorientowanych na testowanie

3. Wewnętrzna ścieżka skanująca
4. Wbudowane samotestowanie
5. Testowanie krawędziowe (interfejs JTAG)
6. Testowanie ścieżką prądową (IDDQ)
- VII. Place&Route układów cyfrowych
 1. Dane wejściowe dla procesu P&R
 2. Proces implementacji i wyznaczniki jakości projektu wyjściowego
 3. Floorplaning
 4. Celki I/O
 5. Analizy projektu wyjściowego i jego poprawki
- VIII. Przegląd środowisk programistycznych i narzędzi

Laboratorium:

1. Symulacja układów cyfrowych (bloków mikrokontrolera) w środowisku CADENCE z wykorzystaniem symulatorów pakietu INCISIVE.
2. Synteza układów cyfrowych z opisu behawioralnego w języku VHDL/Verilog z wykorzystaniem syntezerów pakietu CADENCE
3. Automatyczna synteza layoutu masek układów cyfrowych w środowisku CADENCE z wykorzystaniem Encounter Digital Implementation.
4. Implementacja w układzie FPGA jako prototyp układu cyfrowego ASIC

*Forma zaliczenia -
sprawdzenia
osiągnięcia efektów
kształcenia*

Zaliczenie na podstawie wyników osiągniętych w trakcie zajęć laboratoryjnych oraz projektowych, przedstawianych w formie zestawu sprawozdań. Sprawdzian z wiedzy wykładowej.

*Literatura
podstawowa*

1. Zwoliński M. – "Projektowanie układów cyfrowych z wykorzystaniem języka VHDL" – WKiŁ, Warszawa, 2007
2. Keating M., Bricaud P. – "Reuse Methodology Manual For System -On-A-Chip Designs", 3 ed. , Dordrecht 2002

*Literatura
uzupełniająca*

1. Dokumentacja elektroniczna do technologii oraz oprogramowania
2. Kalisz J. – "Podstawy elektroniki cyfrowej" – WKiŁ, Warszawa, 2009
3. Mano M. – "Architektura komputerów", WNT, Warszawa, 1980
4. Doliński J., – "Mikrokontrolery AVR w praktyce", BTC, Warszawa 2004
5. D. Harris, S. Harris - "Digital Design and Computer Architecture", Morgan Kaufmann San Francisco, 2007

*Przeciętne
obciążenie studenta
pracą własną*

30

*Całkowite obciążenie
studenta pracą*

90

Uwagi

Sala wykładowa powinna być wyposażona w rzutnik multimedialny. Stanowiska laboratoryjne i projektowe - w liczbie odpowiadającej co najmniej połowie liczebności grupy studenckiej - muszą być wyposażone w licencjonowane i skonfigurowane środowisko CADENCE (co najmniej 12 licencji), z dostępem do aktualnych bibliotek technologicznych procesów CMOS lub BiCMOS.

Aktualizacja

2011-03-31