

*Nazwa przedmiotu* **Języki opisu sprzętu**

*Nazwa w języku angielskim* **Hardware Description Languages**

*Język prowadzenia zajęć* polski

*Kierunek studiów* Elektronika i telekomunikacja

*Poziom studiów* studia II stopnia magisterskie

*Jednostka prowadząca* Katedra Mikroelektroniki i Technik Informatycznych, K-25

*Kierownik i realizatorzy*

<b>dr inż. Rafał Kielbik</b>	rkielbik@dmcs.pl
dr inż. Kamil Grabowski	kgrabowski@dmcs.pl

*Formy zajęć i liczba godzin w semestrze*

Wyk.	Ćw.	Lab.	Proj.	Sem.	Inne	Suma godzin w semestrze
15	0	15	0	0	0	<b>30</b>

*Efekty kształcenia*

Student posiada wiedzę z zakresu:

- syntezywalnych opisów systemów cyfrowych;

Student posiada umiejętność:

- opisu kombinacyjnych i sekwencyjnych komponentów systemów cyfrowych w języku VHDL;

- łączenia tych komponentów w hierarchiczne struktury;

- wykorzystywania istniejących komponentów (bloków IP) opisanych w języku VHDL i Verilog;

- tworzenia w języku VHDL opisów sparametryzowanych;

- symulowania opisanych systemów przy użyciu testów napisanych w języku VHDL i narzędzi symulacyjnych ISim oraz ModelSim.

*Wymagania wstępne*

Podstawowe informacje z dziedziny układów logicznych.

*Organizacja przedmiotu i treści kształcenia*

WYKŁAD

Funkcje języków HDL;

Sprzęg i architektura jednostki projektowej w języku VHDL i Verilog;

Instrukcje współbieżne w języku VHDL i Verilog;

Opisy hierarchiczne w języku VHDL i Verilog;

Opisy układów kombinacyjnych w języku VHDL;

Testbenche w języku VHDL i symulacje z użyciem pakietu ISim;

Sparametryzowane opisy w języku VHDL;

Opisy układów sekwencyjnych w języku VHDL;

Opisy skończonych automatów stanowych (FSM) w języku VHDL;

Symulacje z użyciem pakietu ModelSim - pliki wsadowe .do;

Symulacja współbieżności - cykle delta;

Asertacje w języku VHDL.

LABORATORIUM

Zapoznanie się ze środowiskiem symulacyjnym pakietu ISim;

Wykonanie i weryfikacja poprzez symulację opisu sumatora jednobitowego (FA);

Wykonanie i weryfikacja poprzez symulację sparametryzowanego opisu sumatora wielobitowego;

Wykonanie i weryfikacja poprzez symulację sparametryzowanego opisu rejestru, rejestru przesuwającego i licznika binarnego;

Zapoznanie się ze środowiskiem symulacyjnym pakietu ModelSim;  
Wykonanie i weryfikacja poprzez symulację oraz syntezę sparametryzowanego opisu  
sekwencyjnego układu mnożącego wraz automatem stanowym sterującym jego pracą.

*Forma zaliczenia -  
sprawdzenia  
osiągnięcia efektów  
kształcenia*

Ocena końcowa wyznaczana jest przez ocenę projektów wykonanych w trakcie  
laboratorium.

*Literatura  
podstawowa*

Zwoliński M.: Projektowanie układów cyfrowych z wykorzystaniem języka VHDL, WKŁ 2007.  
Wrona W.: VHDL język opisu i projektowania układów cyfrowych. WPKJS 1998.

*Literatura  
uzupełniająca*

Skahill. K.: Język VHDL. Projektowanie programowalnych układów logicznych. WNT 2001.  
Kalisz J.: Podstawy elektroniki cyfrowej. WKŁ 1998.

*Przeciętne  
obciążenie studenta  
pracą własną*

10

*Całkowite obciążenie  
studenta pracą*

**40**

*Uwagi*

*Aktualizacja*

2012-05-04