

| | |
|----------------------------------|--|
| <i>Nazwa przedmiotu</i> | Języki HDL |
| <i>Nazwa w języku angielskim</i> | VHDL Languages |
| <i>Język prowadzenia zajęć</i> | polski |
| <i>Kierunek studiów</i> | Elektronika |
| <i>Poziom studiów</i> | studia I stopnia licencjackie |
| <i>Jednostka prowadząca</i> | Katedra Mikroelektroniki i Technik Informatycznych, K-25 |

Kierownik i realizatorzy
Formy zajęć i liczba godzin w semestrze
Efekty kształcenia

| mgr inż. Zbigniew Kulesza | | | | | | kulesza@dmcs.p.lodz.pl |
|----------------------------------|-----|------|-------|------|------|-------------------------|
| dr . Rafał Kiełbik | | | | | | adres e-mail |
| Wyk. | Ćw. | Lab. | Proj. | Sem. | Inne | Suma godzin w semestrze |
| 30 | 0 | 30 | 0 | 0 | 0 | 60 |

Student posiada wiedzę i umiejętności w zakresie:
 Znajomość nowoczesnych metod projektowania i opisu układów scalonych z wykorzystaniem języka wysokiego poziomu VHDL, Verilog.
 Znajomość modelowania i syntezy układów cyfrowych

Wymagania wstępne
Organizacja przedmiotu i treści kształcenia

Układy cyfrowe
 Podstawy programowania I
 WYKŁAD:

- I. Podstawowe zagadnienia związane z konstrukcją układów scalonych
- II. Podstawowe pojęcia w językach HDL
 1. Opis behawioralny i strukturalny
 2. Przypisania współbieżne oraz sekwencyjne
- III. Modelowanie w języku Verilog
 1. Ogólna konstrukcja modułu (jednostki)
 2. Deklaracja modułu, portów (wyprowadzeń) i parametrów
 3. Typy danych (stałe, liczby, typy złożone)
 4. Wyrażenia i operatory arytmetyczne i logiczne
 5. Przypisania współbieżne (kombinacyjne)
 6. Przypisania proceduralne (sekwencyjne) i bloki
 7. Instrukcje sterujące (warunki, pętle)
 8. Zdarzenia, funkcje i procedury
 9. Konstrukcje typu UDP (elementy definiowane przez użytkownika)
- IV. Modelowanie strukturalne na poziomie bramek i przerzutników (RTL) w języku Verilog
- V. Tworzenie maszyn stanowych w języku Verilog
- VI. Tworzenie struktur hierarchicznych opartych o makromoduły w języku Verilog
- VII. Modelowanie w języku VHDL
 1. Podstawowe struktury języka VHDL
 2. Konstrukcje współbieżne języka VHDL
 3. Obiekty, ich klasy i typy
 4. Konstrukcje sekwencyjne języka VHDL
 5. Pakiety i podprogramy (funkcje i procedury)
 6. Tworzenie kombinacyjnych i sekwencyjnych układów logicznych
 7. Modele VHDL automatów stanowych
 8. Tworzenie środowiska testowego
 9. Wybrane przykłady projektowe
- VIII. Optymalizacja ścieżki projektowej, synteza i implementacja projektu
- IX. Przykłady projektowe, konstrukcje syntezywalne i niesyntezywalne

Podsumowanie i porównanie poznanych języków HDL

LABORATORIUM:

- I. Zapoznanie z narzędziem symulacyjnym – tworzenie nowych projektów, wykorzystywanie narzędzi do generacji kodów źródłowych, dołączanie bibliotek standardowych
- II. Projektowanie i symulacja podstawowych struktur logicznych
 1. Multiplexer – układ kombinacyjny
 2. Flip-Flop – element pamiętający
 3. Latch – alternatywny element pamiętający
 4. Bramka trójstanowa
- III. Projekt czterobitowego licznika wielofunkcyjnego – opis behawioralny
- IV. Projekt ośmiobitowego licznika wielofunkcyjnego – opis strukturalny
- V. Projekt złożonego systemu cyfrowego
- VI. Opis typu „data flow” na przykładzie komórki sumatora jednobitowego
- VII. Tworzenie opisów testujących typu „test bench”, definiowanie sygnałów wejściowych
- VIII. Strukturalny opis sumatora ośmiobitowego z wykorzystaniem opisu sumatora jednobitowego
 1. Parametryzowalny opis sumator N-bitowego – instrukcja „generate” i opcja „generic”
 2. Behawioralny opis przerzutników i rejestrów z synchronicznymi i asynchronicznymi sygnałami kontrolnymi
 3. Opis złożonego systemu (N-bitowa mnożarki sekwencyjnej), wykorzystujący wykonane wcześniej kody

*Forma zaliczenia -
sprawdzenia
osiągnięcia efektów
kształcenia*

60% kolokwium zaliczające na wykładzie, 40% ocena z laboratorium

*Literatura
podstawowa*

Wrona W.: VHDL język opisu i projektowania układów cyfrowych. WPKJS, Gliwice 1998

*Literatura
uzupełniająca*

Skahill. K.: Język VHDL. Projektowanie programowalnych układów logicznych. WNT, Warszawa 2001

Łuba T., Jasiński K., Zbierzchowski B.: Specjalizowane układy cyfrowe w strukturach PLD i FPGA. WKŁ, Warszawa 1997

*Przeciętne obciążenie
studenta pracą
własną*

030

*Całkowite obciążenie studenta
pracą*

90

Uwagi

Sala wykładowa wyposażona w rzutnik multimedialny.

Laboratorium wyposażone w komputery PC, w liczbie odpowiadającej liczbie studentów.

Stanowiska wyposażone w płyty uruchomieniowe z układami reprogramowanymi Xilinx i bogatym zestawem peryferiów oraz odpowiednie oprogramowanie (środowisko uruchomieniowe ISE Foundation)

Aktualizacja

2008-12-05