

*Nazwa przedmiotu* **Układy Dynamicznie Rekonfigurowalne**

*Nazwa w języku angielskim* **Dynamically Reconfigurable Devices**

*Język prowadzenia zajęć* polski

*Kierunek studiów* Elektronika i telekomunikacja

*Poziom studiów* studia I stopnia licencjackie

*Jednostka prowadząca* Katedra Mikroelektroniki i Technik Informatycznych, K-25

*Kierownik i realizatorzy*

<b>dr inż. Rafał Kiełbik</b>						□□□□□	
dr inż. Rafał Kiełbik						rkielbik@dmcs.pl	
Wyk.	Ćw.	Lab.	Proj.	Sem.	Inne	Suma godzin w semestrze	
15	0	15	0	0	0	30	

*Formy zajęć i liczba godzin w semestrze*

*Efekty kształcenia*

Znajomość ogólnej koncepcji sposobu przetwarzania danych z wykorzystaniem układów dynamicznie rekonfigurowalnych.  
Znajomość architektur przykładowych układów dynamicznie rekonfigurowalnych.  
Znajomość algorytmów i narzędzi CAD wspierających projektowanie systemów z użyciem dynamicznej rekonfiguracji.  
Umiejętność zastosowania układów dynamicznie rekonfigurowalnych w systemach wbudowanych

*Wymagania wstępne*

Języki HDL  
Rekonfigurowalne Układy Logiczne

*Organizacja przedmiotu i treści kształcenia*

WYKŁAD

1. Metody zwiększania efektywności wykorzystywania układów przetwarzania danych. Tradycyjne współdzielenie zasobów a dynamiczna rekonfiguracja.
2. Metody realizacji dynamicznej rekonfiguracji układów. Rekonfiguracja wielokontekstowa. Przykładowe architektury układów dynamicznie rekonfigurowalnych.
3. Sposoby realizacji zadań w układach dynamicznie rekonfigurowalnych: implementacja współbieżna, sekwencyjna i mieszana.
4. Specjalizowane elementy pamiętające wspierające dynamiczną rekonfiguracją układów cyfrowych.
5. Algorytmy automatycznego podziału systemów na zadania realizowane w użyciu dynamicznej rekonfiguracji.

□□□□□

ĆWICZENIA LABORATORYJNE

1. Narzędzia programistyczne wspierające dynamiczną rekonfigurację.
2. Analiza wpływu podziału systemu na proces jego syntezy.
3. Symulacja systemu z uwzględnieniem jego podziału na dynamicznie implementowane podsystemy.
4. Podział systemu na podstawie jego niskopoziomowego opisu strukturalnego (netlisty). Analiza uzysku wykorzystania zasobów i wprowadzonych opóźnień.
5. Podział systemu na podstawie jego wysokopoziomowego opisu behawioralnego. Sposoby generowania opisu pod kątem jego późniejszego podziału.
6. Analiza porównawcza niskopoziomowego i wysokopoziomowego podejścia do procesu partycjonowania pod kątem czasochłonności i efektywności obliczeń.

*Forma zaliczenia - sprawdzenia osiągnięcia efektów kształcenia*

30% - kolokwium zaliczające na wykładzie, 70% - ocena prac wykonanych w ramach laboratorium

*Literatura  
podstawowa*

Materiały wewnętrzne

*Literatura  
uzupełniająca*

Łuba T., Jasiński K., Zbierchowski B.: Specjalizowane układy cyfrowe w strukturach PLD i FPGA. WKŁ, Warszawa 1997

*Przeciętne obciążenie  
studenta pracą  
własną*

Kalisz J.: Podstawy elektroniki cyfrowej. WKŁ, Warszawa 1998

15

*Całkowite obciążenie studenta  
pracą*

**45**

*Uwagi*

Do prowadzenia wykładu niezbędna jest sala wyposażona w komputer i rzutnik multimedialny. Zajęcia laboratoryjne odbywają się w specjalistycznym laboratorium komputerowym. □ □ □ □ □

*Aktualizacja*

2008-12-04