

*Nazwa przedmiotu* **Układy rekonfigurowalne**

*Nazwa w języku angielskim* **Reconfigurable Devices**

*Język prowadzenia zajęć* polski

*Kierunek studiów* Elektronika i telekomunikacja

*Poziom studiów* studia II stopnia magisterskie

*Jednostka prowadząca* Katedra Mikroelektroniki i Technik Informatycznych, K-25

*Kierownik i realizatorzy*

<b>dr inż. Rafał Kielbik</b>	rkielbik@dmcs.pl
dr inż. Kamil Grabowski	kgrabowski@dmcs.pl

*Formy zajęć i liczba godzin w semestrze*

Wyk.	Ćw.	Lab.	Proj.	Sem.	Inne	Suma godzin w semestrze
15	0	30	0	0	0	<b>45</b>

*Efekty kształcenia*

Student posiada wiedzę z zakresu:  
- architektury układów konfigurowalnych;

Student posiada umiejętność:

- projektowania systemów cyfrowych w oparciu o układy FPGA;
- weryfikacji systemów cyfrowych zaimplementowanych w układach FPGA przy użyciu pakietu ChipScope Pro.

*Wymagania wstępne*

Znajomość języka VHDL bądź Verilog. Podstawowe informacje z dziedziny układów logicznych.

*Organizacja przedmiotu i treści kształcenia*

**WYKŁAD**

Rodzaje układów rekonfigurowalnych (PLD);  
Etapy procesu projektowego i narzędzia wspierające projektowanie  
- synteza logiczna  
- narzucanie ograniczeń  
- P&R  
- STA  
Zasoby układów PLD;  
Sposoby konfiguracji układu;  
Symulacje behawioralne i post P&R (z użyciem SDF);  
Weryfikacja z użyciem ChipScope Pro;

**LABORATORIUM**

Zapoznanie się ze środowiskiem projektowym pakietu Xilinx ISE Design Suite;  
Implementacja w układzie Spartan 3 licznika binarnego sterowanego zegarem o dynamicznie zmienianej częstotliwości;  
Implementacja w układzie Spartan 3 systemu pozwalającego na zapis i odczyt danych z pamięci BRAM, komunikującego się z komputerem PC poprzez protokół RS232;  
Zastosowanie w procesie projektowym pakietu symulacyjnego wykorzystującego interfejs FLI pakietu ModelSim oraz pakietu ChipScope Pro. Ocena maksymalnej częstotliwości, jaką może być taktowany zaprojektowany system. Wyznaczenie ścieżek wprowadzających największe opóźnienia. Próba zwiększenia maksymalnej częstotliwości pracy systemu poprzez zmianę jego opisu.

*Forma zaliczenia - sprawdzenia*

Ocena końcowa wyznaczana jest przez ocenę projektów wykonanych w trakcie laboratorium.

*osiągnięcia efektów  
kształcenia*

*Literatura  
podstawowa*

Łuba T., Jasiński K., Zbierzchowski B.: Specjalizowane układy cyfrowe w strukturach PLD i FPGA, WKŁ 1997.

*Literatura  
uzupełniająca*

Majewski J., Zbysiński P.: Układy FPGA w przykładach, BTC 2007.

Zbysiński P., Pasierbiński J.: Układy programowalne, pierwsze kroki, BTC 2004

Skahill. K.: Język VHDL. Projektowanie programowalnych układów logicznych, WNT 2001.

Wrona W.: VHDL język opisu i projektowania układów cyfrowych, WPKJS 1998.

Kalisz J.: Podstawy elektroniki cyfrowej, WKŁ 1998.

*Przeciętne  
obciążenie studenta  
pracą własną*

15

*Całkowite obciążenie  
studenta pracą*

**60**

*Uwagi*

*Aktualizacja*

2012-05-04